

03107929.6

权 利 要 求 书

第1/3页

1. 一种用于产生振荡信号的锁相回路(phase locked loop, PLL), 该振荡信号(oscillation signal)可以相对于参考信号(reference signal), 维持稳定的相位差(phase difference), 该锁相回路包含有:

相位检测器(phase detector), 用于比较输出信号与该参考信号的相位, 并产生对应的比较信号;

充电电路(charge pump), 用于接收来自该相位检测器的该比较信号, 并依据该比较信号, 产生控制电流;

- 10 回路滤波器(loop filter), 用于接收来自该充电电路的该控制电流, 并产生对应的控制电压;

电压控制振荡器(voltage controlled oscillator), 用于接收来自该回路滤波器的该控制电压, 并依据该控制电压, 产生该振荡信号;

- 15 相移检测电路(phase shift detection circuit), 经过检测多个连续相位差, 以计算该振荡信号与该参考信号间的相移(phase shift)大小; 以及

相位调整电路(phase adjusting circuit), 用于依据该相移检测电路检测出的该振荡信号的相移大小, 调整该振荡信号的相位, 以促使该振荡信号与该参考信号的相移与预定值相等。

2. 如权利要求1所述的锁相回路, 其中该相移检测电路在每一次的该参考信号的周期期间, 以预定次数, 检测该振荡信号与该参考信号之间的相位差, 并依据该连续检测到的相位差, 计算该振荡信号与该参考信号间, 相移的量。

3. 如权利要求1所述的锁相回路, 其中该相位调整电路包含第一分频器(frequency divider), 用于进行以第一除数对该振荡信号分频, 从而产生多个多相位信号, 其中, 每一个该多相位信号与其它多相位信号相位不同, 依据该相移检测电路检测到的该振荡信号与该参考信号间的相移量, 从该多个多相位信号中选择一个作为该输出信号输出到该相位检测器。

4. 如权利要求3所述的锁相回路, 其中该第一分频器产生该多个多相位信号, 而每对连贯的多相位信号的相位差相等。

- 30 5. 如权利要求1所述的锁相回路, 还包含第二分频器, 用于进行以第二除数对该振荡信号分频, 以输出已分频的振荡信号, 该第二分频器向该

03107929.6

权 利 要 求 书 第2/3页

相移检测电路输出该已分频的振荡信号，其中，该相移检测电路在每一次该已分频振荡信号的周期期间，检测该振荡信号与参考信号的相位差，并在每一该参考信号周期结束时，计算振荡信号与该参考信号间的相移量。

6. 如权利要求1所述的锁相回路，运用于可记录光盘系统，其中该参考信号以预定频率被预先记录于可记录光盘的可记录轨道上，而该振荡信号为记录时钟信号(clock signal)，用于将数据记录到可记录光盘上。

7. 产生振荡信号的锁相回路，该振荡信号可以相对于参考信号，维持锁定的相位差，该锁相回路包含有：

相位检测器，用于比较输出信号与该参考信号的相位，并产生对应的比较信号；

充电电路，用于接收来自该相位检测器的该比较信号，并依据该比较信号，产生控制电流；

回路滤波器，用于接收来自该充电电路的该控制电流，并产生对应的控制电压；

15 电压控制振荡器(VCO)，用于接收来自该回路滤波器的该控制电压，并依据该控制电压，产生该振荡信号；

第一分频器，用于进行以第一除数对该振荡信号分频，从而产生多个多相位信号，其中，每一个该多相位信号与其它多相位信号相位不同；

20 相位调整电路，用于从该第一分频器产生的该多相位信号中选择一个，作为该输出信号；

相移检测电路，用于比较该振荡信号的相位与该参考信号的相位，并在每一该参考信号周期期间，以预定的次数，检测该振荡信号与该参考信号的相位差，并将每一个所得到的相位差值存储在存储器中，用于计算该参考信号与该振荡信号间的总相位差，从而依据该总相位差，产生调整控制信号，再由该调整控制信号的提示，从多相位信号中选择一个作为该输出信号，将该输出信号输出到该相位检测器，其中，该输出信号的选择基于促使该相位检测器得以减低该振荡信号与该参考信号间的相位差。

8. 如权利要求7所述的锁相回路，其中该第一分频器产生该多相位信号，其中，每对连贯的该多相位信号之间的相位差相等。

30 9. 如权利要求7所述的锁相回路，其中，该锁相回路还包括第二分频器，用于进行以第二除数对该振荡信号分频以输出已分频的振荡信号，该

03107929.6

权 利 要 求 书 第3/3页

第二分频器向该相移检测电路输出该已分频的振荡信号，其中，该相移检测电路在每一次该已分频振荡信号的周期期间，对该振荡信号与该参考信号的相位差取样，并将每一相位差存储在该存储器中，以计算该振荡频率与该参考频率间的总相位差。

- 5 10. 如权利要求 7 所述的锁相回路，其中该锁相回路用于可记录光盘机系统，该参考信号以摆动信号的形式预制在可记录光盘的可记录轨道上，该振荡信号为该可记录光盘机系统运用的记录时钟信号，用于将数据记录在可记录光盘上。

03107929.6

说明书

第1/12页

控制可记录光盘机的锁相回路

5 技术领域

本发明涉及一种锁相回路(phase locked loop, PLL), 特别涉及一种使用该锁相回路的可记录光盘机, 当向可记录光盘记录数据时, 进行相移检测操作。

10 背景技术

锁相回路运用于频率控制。请参阅图 1, 图 1 为公知用于控制可记录光盘机的锁相回路 10 的方框图。锁相回路 10 回应摆动信号(WOBBLE), 产生时钟信号(CLK)。如图 2 所示, 该摆动信号由可记录光盘上的摆动轨道(wobble track)获得, 包含有该摆动轨道的地址(address)信息。该时钟信号用于控制该可记录光盘机的写入(writing)路径, 作为记录时钟的参考。对于 DVD-R/RW 规格, 一个摆动信号周期相当于 186 个记录时钟信号周期, 对于 DVD+R/RW 规格, 一个摆动信号则相当于 32 个记录时钟信号周期, 在此, 一个记录时钟信号周期等于碟片上记录数据的最小记录单位长度。为确保在正确的位置将数据记录于正确的轨道上, 该锁相回路需使记录时钟信号与摆动信号同步。

锁相回路 10 包含相位检测器 12, 用于比较摆动信号与时钟信号的相位。依据摆动信号与时钟信号的相位差, 相位检测器 12 向充电电路 14 输出调升信号 UP 或调降信号 DN。充电电路 14 依照其接收的调升 UP 或调降信号 DN, 输出控制电流, 并由回路滤波器 16 接收。其后, 由回路滤波器 16 输出控制电压, 并传送至电压控制振荡器(VCO)18。依据其控制电压, 电压控制振荡器 18 产生具有输出频率的时钟信号。另外, 可以用分频器 20 对该时钟信号的频率进行分频, 并最终将该时钟信号回传给相位检测器 12。结合相位检测器 12、充电电路 14、回路滤波器 16、电压控制振荡器 18 与分频器 20, 构成具有回馈电路功能的锁相回路 10。

30 然而, 由于相移现象, 锁相回路 10 有时无法将时钟信号与摆动信号的相位同步。该相移现象因传统相位检测器 12 的局限性而出现。请参阅图 3A

03107929.6

说明书 第2/12页

至图 3E, 图 3A 至图 3E 为相位检测器 12 在某些操作状况下, 发生相移的示意图。根据输入的相移 θ_e , 相位检测器 12 产生输出 u_o 以进行对相移 θ_e 的调整。如图 1 所示, 该输出可以为调升信号 UP 或调降信号 DN, 用于使时钟信号 CLK 与摆动信号 WOBBLE 同步。只要相移 θ_e 在相位检测器 12 的一个锁定范围(locking range) Δw_L 之内, 该相位检测器 12 即可以使时钟信号 CLK 与摆动信号 WOBBLE 同步。相位检测器 12 的锁定范围 Δw_L 通常等于正负半个摆动信号的周期的相位差。然而, 当相移 θ_e 落于相位检测器 12 的锁定范围 Δw_L 之外时, 就会发生问题。

在图 3A 中, 点 30 表示相位检测器 12 的输出函数。由于相移的值为 0, 相位检测器 12 不须对相移 θ_e 进行调整, 而相位检测器 12 输出的对应输出 u_o 的值为 0。当相移 θ_e 值不为 0 时, 相位检测器的输出函数, 将如图 3A 所示, 沿斜线移动。当相移 θ_e 比锁定范围 Δw_L 大时, 该输出函数将沿斜线偏移动到所示锁定范围 Δw_L 之外。点 30 位于零交叉点(zero-crossing point)上, 也就是输出函数斜线通过代表相移 θ_e 的轴的那一点, 而每一零交叉点皆有一输出 u_o 为 0。

相位检测器 12 的工作是调整相移 θ_e , 如此, 相移 θ_e 可以永远锁定在图 3A 的点 30 上, 也只有通过此方法, 才能使相移 θ_e 的值为 0。只要相移 θ_e 在锁定范围 Δw_L 的范围之内, 相位检测器 12 就可以跟踪并锁定该相移 θ_e 的值为 0。注意, 偏移输出 u_o 为 0 并不代表对应的相移 θ_e 的值必然为 0。

在图 3B 中, 点 32 代表一种输入的相移 θ_e 的值大于 0, 但仍处于锁定范围 Δw_L 之内的情形。既然点 32 并不位于零交叉点上, 相位检测器 12 须输出值 u_o , 将相移 θ_e 锁定在最近的零交叉点上。图 3C 显示上述情况的结果, 点 34 代表相移 θ_e 锁定于锁定范围 Δw_L 中间的零交叉点。图 3B 上的点 32 位于锁定范围 Δw_L 之内, 图 3C 上的点 34 则锁定于锁定范围 Δw_L 的零交叉点, 而非锁定于锁定范围 Δw_L 外的零交叉点上。

图 3D 与图 3E 显示当相移 θ_e 位于锁定范围 Δw_L 之外时会发生的问题。在图 3D 中, 点 36 表示一种输入相移 θ_e 的值大于 0, 且不在锁定范围 Δw_L 之内的情形。由于点 36 不位于零交叉点上, 相位检测器 12 将输出 u_o 值, 使相移 θ_e 锁定以最近的零交叉点上。图 3E 显示上述情况发生的结果, 点 38 代表将相移 θ_e 锁定到位于锁定范围 Δw_L 右方零交叉点的情形。由在图 3D 中的点 36 位于锁定范围 Δw_L 的右方, 锁相回路的输出相位会锁定在图 3E

03107929.6

说明书 第3/12页

锁定范围 Δw_L 右方的零交叉点 38, 而非正确的锁定范围 Δw_L 中间的零交叉点 30 上。

请参阅图 4A 至 4E。图 4A 至 4E 为环状相移示意图, 表现图 3A 至图 3E 的图形信息。在图 4A 至图 4E, 虚线圆圈用于显示相移 θ_e 的连续回路特征。该虚线圆圈周长代表锁定范围 w_L 的长度, 穿越虚线圆圈的水平线用于显示锁定范围 w_L 。水平线的右端标示为 0, 表示值为 $0+n*\Delta w_L$ 的相移 θ_e , 其中, n 为自然数。水平线的左端标记为 $\pm 1/2 \Delta w_L$, 表示值为 $1/2 \Delta w_L \pm m*\Delta w_L$ 的相移 θ_e , 其中, m 同样为自然数。

在图 4A, 点 40 代表相位检测器 12 的输出函数。由于该相移 θ_e 的值为 0, 相位检测器 12 不须对相移 θ_e 进行调整, 而相位检测器 12 输出对应 u_d 信号, 其值为 0。请注意, 由于输出 u_d 的值为 0, 相移 θ_e 的值并非必须为 0。相移 θ_e 的值也可以为 $0+n*\Delta w_L$ 。

在图 4B, 点 42 代表一种输入的相移 θ_e 的值大于 0, 小于锁定范围 Δw_L 的 $1/2$ 的情形。既然位于点 42 的相移 θ_e 的值不为 $0+n*\Delta w_L$, 相位检测器 12 须输出值 u_d , 将相移 θ_e 锁定于最近的相移值 θ_e 为 $0+n*\Delta w_L$ 的零交叉点上。图 3C 显示上述情况的结果, 点 34 代表相移 θ_e 锁定于锁定范围 Δw_L 的中点。图 3B 上的点 32 位于锁定范围 Δw_L 之内, 图 3C 上的点 34 则锁定于锁定范围 w_L 的零交叉点, 而非锁定于锁定范围 Δw_L 之外的零交叉点上。请注意, 在图 4B 中, 相移 θ_e 与输出值 u_d 皆为正数。

图 4C 绘制相位检测器 12 调整图 4B 的相移 θ_e 的结果。点 44 表示将相移 θ_e 锁定到锁定范围 Δw_L 的中段零交叉点。由在图 4B 的点 42 相移小于 $1/2 \Delta w_L$, 图 4C 的点 44 锁定于锁定范围 Δw_L 的零交叉点, 而非 Δw_L 范围之外的零交叉点。因此, 只要相移 θ_e 小于 $\pm 1/2 \Delta w_L$, 相位检测器 12 就可以将相移 θ_e 的值减小到 0。

图 4D 与 4E 表示, 当相移 θ_e 不小于 $\pm 1/2 \Delta w_L$ 时, 会发生的问题。在图 4D, 点 46 表示一种输入的相移 θ_e 的值大于 $1/2 \Delta w_L$, 且不位于锁定范围 Δw_L 之内的状况。由于点 46 不位于零交叉点上, 相位检测器 12 须输出 u_d 以将相移 θ_e 锁定到最近的零交叉点上。注意, 在图 4D, 相移 θ_e 的值为正, 输出的 u_d 为负。

图 4E 显示相位检测器 12 调整图 4D 中相移 θ_e 的结果。点 48 表示将相移 θ_e 到锁定最近该相移的零交叉点。由在图 4D 中, 点 46 的值大于 $1/2 \Delta w_L$,

03107929.6

说明书 第4/12页

图 4E 中, 点 48 锁定于零交叉点, 该零交叉点的输出值 u_0 为 0, 相移 θ_c 的值为 Δw_L 。一旦相位检测器 12 的输出函数锁定于点 48, 相位检测器 12 无法将相移 θ_c 锁定在正确的相位点上。

如果无法消除摆动信号 WOBBLE 与时钟信号 CLK 之间的相移 θ_c , 那么时钟信号 CLK 将有不正确的周期, 将造成记录数据有不正确的长度。上述问题将通过图 5 做说明。图 5 分别以三个例子说明, 当把具有不正确长度的数据记录到光盘上时所产生的影响。第一例为理想状态, 其中, 时钟信号 CLK 与摆动信号 WOBBLE 同步, 并能适当地将数据记录到该光盘。如图 5 所示, 该光盘上有三个扇区, 分别标示为光盘扇区一, 光盘扇区二, 与光盘扇区三。在理想状态时, 每一进行记录到该光盘的光盘数据块, 如光盘扇区一, 其数据块能精确地符合其在光盘上的对应扇区。因此, 没有任何数据块会部分重叠到光盘机上的一个以上的扇区。

在第二与第三例中, 时钟信号 CLK 的频率与摆动信号 WOBBLE 相位不同, 且周期过长。当时钟信号 CLK 的周期过长时, 主要有两种方案可以进行处理。第一, 将新数据块之首连结到已记录数据块的末端。然而, 此方案会产生所有后继数据块地址迁移, 难以适当地符合该光盘上的每一扇区。第二, 忽略前一数据块的结束地址, 以光盘的扇区地址进行新数据块的排列。不幸的是, 此方案会发生数据重叠的问题, 部分存在于前一数据块的数据将被新数据块所覆盖。

其它现有技术的仪器与方法已被应用于帮助调整数据块错误地排列到光盘机扇区的问题上。如美国专利第 6,269,059 号, "Apparatus for and method of adding information onto recording medium that enables additional recording", Kuroda 等人, 公开现有技术的仪器与方法, 用于将数据记录于可记录介质。Kuroda 等人, 公开可记录光盘机运用已存储于光盘上的预刻凹槽(pre-pits), 进行被写入该光盘与该光盘上的对应扇区的同步与排列对准。该光盘上的预刻凹槽包含有关该光盘的对应扇区的地址信息。通过将存储于该预刻凹槽的地址信息解码, 该可记录光盘机得以记录新数据块至该光盘, 使每一新数据块从光盘上的对应扇区起始处记录。通过运用预刻凹槽, 进行数据与光盘上的对应数据块的同步, 该可记录光盘机得以克服任意存在于摆动信号与时钟信号间的相移 θ_c 。

然而, 为能利用存储于光盘上预刻凹槽中的地址信息, 该可记录光盘

03107929.6

说明书 第5/12页

机需要地址解码器对该地址信息进行解码。使用解码器意味着，可记录光盘机须有额外的硬件需求，如此，可记录光盘机成本与复杂度将增加。Kuroda 等人提出的现有技术有另一项问题，在已由预刻凹槽检测地址信息后，直到检测下一个预刻凹槽前，无法使写入该光盘的数据块同步。此外，

5 地址解码并不总是完全可靠，且地址解码操作需要复杂的地址预测，以避免进行地址解码时会发生的问题。

发明内容

因此，本发明的目的在于提供由锁相回路产生输出信号的方法，该输出信号可以相对于参考信号的相位，维持稳定的相位差，从而解决上述问题。

10

根据本发明，提供了一种由锁相回路产生输出信号的方法，其中该输出信号相对于参考信号的相位，维持稳定的相位差。该锁相回路包含有：相位检测器(phase detector)，用于比较输出信号与该参考信号的相位，并产生对应的比较信号；充电电路(charge pump)，用于接收来自该相位检测器的该比较信号，并依据该比较信号，产生控制电流；回路滤波器(loop filter)，用于接收来自该充电电路的该控制电流，并产生对应的控制电压；电压控制振荡器(voltage controlled oscillator)，用于接收来自该回路滤波器的该控制电压，并依据该控制电压，产生该振荡信号；相移检测电路(phase shift

15

20 detection circuit)，经过检测多个连续相位差，以计算该振荡信号与该参考信号间的相移(phase shift)大小；以及相位调整电路(phase adjusting circuit)，用于依据该相移检测电路检测出的该振荡信号的相移大小，调整该振荡信号的相位，以促使该振荡信号与该参考信号的相移与预定值相等。

或者，该锁相回路包含有：相位检测器，用于比较该输出信号与该参考信号的相位，并产生对应的比较信号；充电电路，用于接收来自该相位检测器的该比较信号，并依据该比较信号，产生控制电流；回路滤波器，用于接收来自该充电电路的该控制电流，并产生对应的控制电压；电压控制振荡器，用于接收来自该回路滤波器的该控制电压，并依据该控制电压，产生该振荡信号。该锁相回路还包含有，第一分频器，用于进行以第一除

25

30 数对该振荡信号分类，从而产生多个多相位信号，其中，每一个该多相位信号与其它多相位信号相位不同；相位调整电路，用于选择该第一分频器

03107929.6

说明书 第6/12页

产生的多个多相位信号，作为输出信号；以及相移检测电路，用于比较该振荡信号的相位与参考信号的相位。本发明方法包含有以下步骤：该相移检测电路检测该振荡信号与该参考信号之间的相位差，并将每一个所得到的相位差值存储在存储器中，用于计算于该参考信号与该振荡信号间的总相位差。该相位检测回路依据该总相位差，产生调整控制信号，再由该调整控制信号的指示，从多相位信号中选择一个作为该输出信号，向该相位检测器输出该输出信号，其中，该输出信号的选择基于促使该相位检测器得以减低该振荡信号与该参考信号间的相位差。

本发明的优点在于，该方法即使在传统相位检测器的操作环境的极限状况下，即该振荡信号与该参考信号之间的相位差超过一般传统相位检测器的锁定范围时，仍得以同步锁定其参考信号与其输出信号。该时钟信号因此，得以与该摆动信号处于相同相位，数据块可以正确地记录到光盘的对应位置。本发明的另一项优点在于，可以即时计算该摆动信号与该时钟信号之间的相位差，免除了在现有技术中，需等待预刻凹槽以进行同步。

为了使贵审查员能更近一步了解本发明的特征及技术内容，请参阅以下有关本发明的详细说明与附图。然而附图仅供参考与说明用，并非用来对本发明加以限制。

附图说明

图 1 为根据现有技术的用于控制可记录光盘机的锁相回路的方框图。

图 2 表示如何由光盘上检测出摆动信号。

图 3A 至图 3E 为相位变化示意图示，表示在多种状况下，相位检测器的运作。

图 4A 至图 4E 为图示 3A 至图示 3 的对应环状相位变化示意图。

图 5 为示意图，显示在使用不正确周期的时钟信号进行将数据写入到光盘的情况下发生的影响。

图 6 为根据本发明的锁相回路的方框图。

图 7 为时序示意图，表示摆动信号与已分频的时钟信号之间的关系。

图 8A 为时序示意图，表示根据本发明，相移检测电路如何检测时钟信号与摆动信号之间的相位变化的例子。

图 8B 为图 8A 的对应环状相位示意图。

03107929.6

说明书 第7/12页

图 9A 为时序示意图, 表示根据本发明, 相移检测电路如何检测时钟信号与摆动信号之间的相位变化的另一个例子。

图 9B 为图 9A 的对应环状相位示意图。

图 10A 至图 10G 为相位变化示意图, 表示如何运用本发明的锁相回路
5 进行调整相位差的相位变化示意图。

附图中的符号说明

10	10 锁相回路	12 相位检测器
	14 充电电路	16 回路滤波器
	18 电压控制振荡器	20 分频器
	100 锁相回路	102 第二分频器
	104 相移检测电路	106 第一分频器
	108 相位调整电路	

15 实施方式

请参阅图 6, 图 6 为根据本发明的锁相回路 100 的方框图。相位检测器 12、充电电路 14、回路滤波器 16、以及现有技术的锁相回路 10 的电压控制振荡器(VCO)18, 皆运用于本发明的锁相回路 100。各元件的操作与现有技术相同, 此处不再累述。除了上述元件, 锁相回路 100 还包含了第一分频器 106、第二分频器 102、相移检测电路 104、以及相位调整电路 108。
20

在接收来自回路滤波器 16 的控制电压后, 电压控制振荡器 18 产生时钟信号 CLK。该时钟信号接着输入到第一分频器 106 与第二分频器 102。该第一分频器将该时钟信号 CLK 分频为一组多相位信号 CLK_MULTI, 该第二分频器 102 将该时钟信号 CLK 分频为时钟信号 CLKDIV。

25 每一由第一分频器 106 产生的多相位信号 CLK_MULTI 的相位都不同, 其中, 每组连续两个多相位信号 CLK_MULTI 对之间的相位差皆相等。举例子来说, 在 DVD+R/RW 规格中, 该第一分频器 106 使用的除数为 32, 如此, 产生 32 个多相位信号 CLK_MULTI。该 32 个多相位信号 CLK_MULTI 的任一多相位信号与时钟信号 CLK 皆有不同相位差, 而任一多相位信号
30 CLK_MULTI 可以为所有的其它多相位信号 CLK_MULTI 以时钟信号 CLK 的周期的倍数计算得之。与第一分频器 106 不同的是, 第二分频器 102 不

03107929.6

说明书 第8/12页

需产生多相位信号。在以下的公开中，第二分频器 102 将使用除数 4，不过需了解本发明也可以运用其它不同的除数。

请参阅图 7 与图 6。图 7 为时序示意图，表示摆动信号 WOBBLE 与已分频的时钟信号 CLKDIV 之间的关系。如图 6 所示，摆动信号 WOBBLE 是运用第一分频器 106，以除数 32 对时钟信号 CLK 进行分频所得。同时，已分频的时钟信号 CLKDIV 是由第二分频器 102 以除数 4 对时钟信号 CLK 进行分频所得。因此，如图 7 所示，摆动信号 WOBBLE 的周期为已分频的时钟信号 CLKDIV 周期的八倍。如下所示，通过使用摆动信号 WOBBLE 的一定倍数的已分频时钟信号 CLKDIV，本发明的锁相回路 100 得以更有效的缩小时钟信号 CLK 与摆动信号 WOBBLE 之间的相位差。

已分频的时钟信号 CLKDIV 为摆动信号 WOBBLE 的周期的分数具有的优点在于相移检测电路 104 可以运用该已分频的时钟信号 CLKDIV 与摆动信号 WOBBLE，帮助检测任何介于输出自电压控制振荡器 18 的时钟信号 CLK 与该摆动信号 WOBBLE 之间的相移 θ 。为达到上述目的，已分频的时钟信号 CLKDIV 与该摆动信号 WOBBLE 需同时输入到相移检测电路 104。如图 7 所示，对每一摆动信号 WOBBLE 的周期，其对应的已分频的时钟信号 CLKDIV 周期共有八个，标示为周期 1 至周期 8。相移检测电路 104 被该摆动信号 WOBBLE 的上升沿驱动，进行检测该摆动信号 WOBBLE 与已分频时钟信号 CLKDIV 哪一个的相位最接近的操作。相移检测电路 104 会检测该摆动信号 WOBBLE 与已分频时钟信号 CLKDIV 中，哪一个的相位最接近，并将其存储于该相移检测电路 104 的内嵌存储器中。通过检测哪一个已分频时钟信号 CLKDIV 的周期与摆动信号 WOBBLE 上升沿的相位最接近，并将该信息存储于存储器，该相移检测电路 104 得以有效率地跟踪该时钟信号 CLK 与该摆动信号 WOBBLE 之间的相移 θ_e ，即使该相移 θ 大于该相移检测电路 104 的锁定范围 Δw_L 。根据时钟信号 CLK 与摆动信号 WOBBLE 之间检测到的相移 θ_e ，该相移检测电路 104 输出调整控制信号 ADJ_CTRL 至相位调整电路 108，通过调整该相移 θ_e ，达到对时钟信号 CLK 与摆动信号 WOBBLE 同步。

请参阅图 8A 至图 8B。图 8A 为根据本发明的相移检测电路 104，检测时钟信号 CLK 与摆动信号 WOBBLE 之间的相移 θ 的时序示意图。图 8B 为图 8A 的对应环状相位示意图。表示在图 8 与图 8B 的例子相似于表现在图

03107929.6

说明书 第9/12页

4D 的例子。现有技术的锁相回路 10 无法调整周期大于摆动信号 WOBBLE 一半以上的相移 θ_0 ，导致如图 4E 的情况。其中，该相位差被锁定为与摆动信号 WOBBLE 周期相同。

如同图 7 所示，在图 8A 中，与摆动信号 WOBBLE 的一个周期相等的
5 已分频时钟信号 CLKDIV 的八个周期，分别标示为周期 1 到周期 8。在图 B，8 个对应的块显示于环状相位示意图，标示为区域 1 到区域 8。

如图 8 所示，最初，相位检测回路 104 检测到摆动信号 WOBBLE 的上升沿(rising edge)出现在已分频的时钟信号 CLKDIV 的周期 1 中，显示如图上摆动信号 WOBBLE 第一条以虚线表示的时钟脉冲(clock pulse)。接着，相位检测回路 104 检测到摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 3 中，如图上第二个摆动信号 WOBBLE 的第二条以虚线表示的时钟脉冲所显示。最后，相位检测回路 104 检测到摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 5 中，如图上摆动信号 WOBBLE 以实线表现的时钟脉冲所显示。

15 为方便说明，以图 8B 表示如何用相位检测回路 104 检测时钟信号 CLK 与摆动信号 WOBBLE 之间的相移 θ_0 改变。开始，摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 1 中，因此，摆动信号 WOBBLE 的上升沿显示于区域 1 的位置。接着，摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 3 中，因此，摆动信号
20 WOBBLE 的上升沿显示于区域 3 的位置。最后，摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 5 中，因此，摆动信号 WOBBLE 的上升沿显示于区域 5 的位置。须注意，在此时间点，时钟信号 CLK 与摆动信号 WOBBLE 之间的相移 θ_0 比摆动信号 WOBBLE 的一半周期大。相移检测电路 104 不仅可以检测摆动信号 WOBBLE 的上升沿处于哪一个区域中，更重要的是，相移检测电路 14 还可以检测出描述该相移 θ_0 的路径，即使相移 θ_0 大于一个或多个摆动信号 WOBBLE 的周期。通过研究该路径，相移检测电路 104 得以决定该时钟信号 CLK 与该摆动信号 WOBBLE 之间的正确相移 θ_0 为多少，而不将该相移 θ_0 锁定于不正确的相位。

请参阅图 9A 至图 9B。图 9A 为时序示意图，表示根据本发明，相移检测电路如何检测时钟信号与摆动信号之间的相移的另一个例子。图 9B 为图 9A 的对应环状相位示意图。

03107929.6

说明书 第10/12页

如图 9A 所示, 开始, 相移检测电路 104 检测到, 摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 4 中, 如图上摆动信号 WOBBLE 第一条以虚线表示的时钟脉冲所显示。接着, 相位检测回路 104 检测到摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 7 中, 如图上摆动信号 WOBBLE 第二条以虚线表示的时钟脉冲所显示。之后, 相位检测回路 104 检测到摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 1 中, 如图上第三个摆动信号 WOBBLE 第三条以虚线表示的时钟脉冲所显示。其后, 相位检测回路 104 检测到摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 3 中, 如图上第四个摆动信号 WOBBLE 第四条以虚线表示的时钟脉冲所显示。最后, 相位检测回路 104 检测到摆动信号 WOBBLE 的上升沿出现在经分类的时钟信号 CLKDIV 的周期 5 中, 显示如图上摆动信号 WOBBLE 以实线表现的时钟脉冲者。

请参阅图 9B, 起初, 摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 4 中, 因此, 摆动信号 WOBBLE 显示于区域 4 的位置。接着, 摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 7 中, 因此, 摆动信号 WOBBLE 显示于区域 7 的位置。之后, 摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 1 中, 因此, 摆动信号 WOBBLE 显示于区域 1 的位置。接着, 摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 3 中, 因此, 摆动信号 WOBBLE 显示于区域 3 的位置。最后, 摆动信号 WOBBLE 的上升沿出现在已分频的时钟信号 CLKDIV 的周期 5 中, 因此, 摆动信号 WOBBLE 显示于区域 5 的位置。须注意, 此时, 时钟信号 CLK 与摆动信号 WOBBLE 之间的相移 θ_0 已经比摆动信号 WOBBLE 的一个周期大。

上述两例显示根据本发明的相移检测电路 104 可以检测时钟信号 CLK 与摆动信号 WOBBLE 之间的所有的相移 θ_0 。接着, 根据该相移 θ_0 , 相移检测电路 104 向相位调整电路 108 输出调整控制信号 ADJ_CTRL, 使相位调整电路 108 得以从由分频器 106 输出的多个多相位信号 CLK_MULTI 中选择一个, 作为输出信号 OUTPUT。根据该相移 θ_0 的方向与强度, 该调整控制信号 ADJ_CTRL 指示相位调整电路 108 从多个多相位信号 CLK_CTRL 中选择一个, 输出给相位检测器 12, 而作为输出信号 OUTPUT。将被选择的

03107929.6

说明书 第11/12页

多相位信号 CLK_MULTI 选择为, 输出信号 OUTPUT 与该摆动信号 WOBBLE 之间的相位差比时钟信号 CLK 与摆动信号 WOBBLE 的相位差大, 因此, 扩大输出信号 OUTPUT 与该摆动信号 WOBBLE 之间的相位差, 促使相位检测器 12 对这一已扩大的相位差进行修正, 让时钟信号 CLK 与摆动信号 WOBBLE 处于同相位。此步骤将持续至时钟信号 CLK 与摆动信号 WOBBLE 之间的相位差完全消除为止。为得到最好的结果, 重复被选择的连续多相位信号之间的相位差须比该摆动信号 WOBBLE 周期的一半小, 如此, 该锁相回路 100 得以将该相移 θ_0 锁定到正确的锁定点。调整的控制信号其运用方法绘制在图 10A 至图 10G。

10 请参阅图 10A 至图 10G。图 10A 至图 10G 为相移示意图, 表示如何运用本发明的锁相回路 100, 进行调整相位差(phase difference)。在图 10A 至图 10G, 圆圈符号 \bigcirc 用于标示由相位调整电路 108 输出到相位检测器 12 的输出信号 OUTPUT 的相位, 三角形符号 Δ 用于标示时钟信号 CLK 的相位。图 10 的状况与显示在图 3E 的状况相似。即, 时钟信号 CLK 的相位被锁定于不正确的零交叉点, 而相移 θ_0 与摆动信号 WOBBLE 的周期相等。最初, 该输出信号 OUTPUT 的相移 θ_0 与该时钟信号 CLK 的相移 θ_0 相等。

由图 10B 开始, 锁相回路 100 被控制以进行调整时钟信号 CLK 与摆动信号 WOBBLE 之间的相移 θ_0 的操作。首先, 调整控制信号 ADJ_CTRL 指示相位调整电路 108 从多个多相位信号 CLK_MULTI 中, 选择一个作为输出信号 OUTPUT, 如此, 相位 θ_{p1} 被附加到该输出信号 OUTPUT 的相位。此时, 输出信号 OUTPUT 与时钟信号 CLK 之间的总相位差与 θ_{p1} 相等。接着, 如图 10C 所示, 锁相回路 100 以该输出信号 OUTPUT, 进行缩小输出 u_0 的操作, 并迫使该输出信号 OUTPUT 的相位回到最接近的零交叉点。此时, 输出信号 OUTPUT 与时钟信号 CLK 之间的总相位差与 θ_{p1} 相等, 但时钟信号 CLK 的总体相移 θ_0 已经被缩小。

25 接着, 如图 10D 所示, 该调整控制信号 ADJ_CTRL 指示相位调整电路 108, 从多个多相位信号中, 选择一个作为输出信号 OUTPUT, 如此, 相位 θ_{p2} 被附加到该输出信号 CLK 的相位。此时, 该输出信号 OUTPUT 与时钟信号 CLK 之间的总相位差与 $\theta_{p1} + \theta_{p2}$ 相等。接着, 如图 10E 所示, 锁相回路 100 再次以该输出信号 OUTPUT, 进行缩小输出 u_0 的操作, 并迫使该输出信号 OUTPUT 的相位回到最接近的零交叉点。此时, 该输出信号 OUTPUT

03107929.6

说明书 第12/12页

仍旧与该时钟信号 CLK 之间的总相位差与 $\theta_{p1} + \theta_{p2}$ 相等, 但该时钟信号 CLK 的总体相移 θ_e 已经被缩小。

最后, 如图 10F 所示, 调整控制信号 ADJ_CTRL 指示相位调整电路 108 从多个多相位信号中, 选择一个作为输出信号 OUTPUT, 如此, 相位 θ_{p3} 被
5 附加到该输出信号 CLK 的相位, 以完全移除该时钟信号 CLK 与该摆动信号 WOBBLE 之间的相移 θ_e 。此时, 输出信号 OUTPUT 与时钟信号 CLK 之间的总相位差与 $\theta_{p1} + \theta_{p2} + \theta_{p3}$ 相等。接着, 如图 10G 所示, 锁相回路 100 以该输出信号 OUTPUT, 进行缩小输出 u_d 的操作, 并迫使该输出信号 OUTPUT 的相位回到最接近的零交叉点。此时, 该输出信号 OUTPUT 与该时钟信号
10 CLK 之间的总相位差仍旧与 $\theta_{p1} + \theta_{p2} + \theta_{p3}$ 相等, 但该时钟信号 CLK 的总体相移 θ_e 已经被缩小。

重复将相位附加到该输出信号 OUTPUT 的次数, 与随后运用锁相回路 100 以迫使该输出信号 OUTPUT 的相位回复到最近的零交叉点, 都依据最初该时钟信号 CLK 的相移 θ_e 的大小。上述的例子运用了三次的重复附加,
15 原因在于该时钟信号 CLK 的最初相移 θ_e 与摆动信号 WOBBLE 位处的相位仅有一个零交叉点之距。在本发明的最佳实施例中, 要附加到该输出信号 OUTPUT 的相位需小于摆动信号 WOBBLE 的周期的一半。如此可以避免输出信号 OUTPUT 被锁定到不正确的零交叉点, 并确保时钟信号 CLK 的相移 θ_e 在每欠的附加操作中, 逐步缩小。

20 与现有技术相比, 本发明的锁相回路 100 运用第二分频器 102, 相移检测电路 104, 与相位调整电路 108, 进行使时钟信号 CLK 与摆动信号 WOBBLE 同步的操作。即使时钟信号 CLK 与摆动信号 WOBBLE 之间的相位差超过该摆动信号 WOBBLE 的周期的一半, 本发明的方法仍可以进行使该时钟信号 CLK 与该摆动信号 WOBBLE 同步的操作。该时钟信号 CLK 得
25 以因此与该摆动信号 WOBBLE 处于同一相位, 而可以将数据块正确地写入的光盘上的对应位置。本发明的另一个好处在于, 可以即时计算该摆动信号 WOBBLE 与该时钟信号 CLK 之间的相位差, 免除了在现有技术中, 需等待一个预刻凹槽时间以进行同步的情形。

30 以上所述仅为本发明的优选实施例, 凡依本发明权利要求所做的等价变化与修饰, 皆应属本发明专利的涵盖范围。

03107929.6

说明书附图

第1/10页

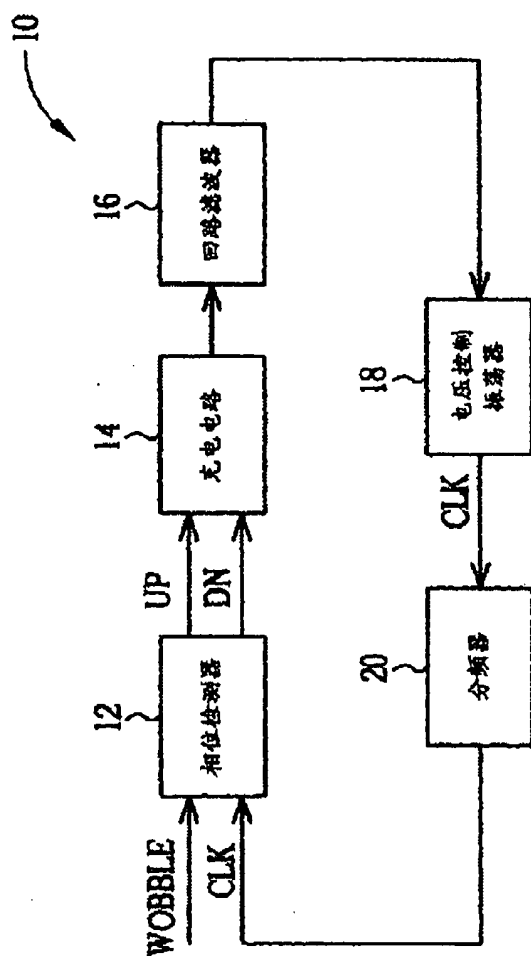


图 1

03107929.6

说明书附图 第2/10页

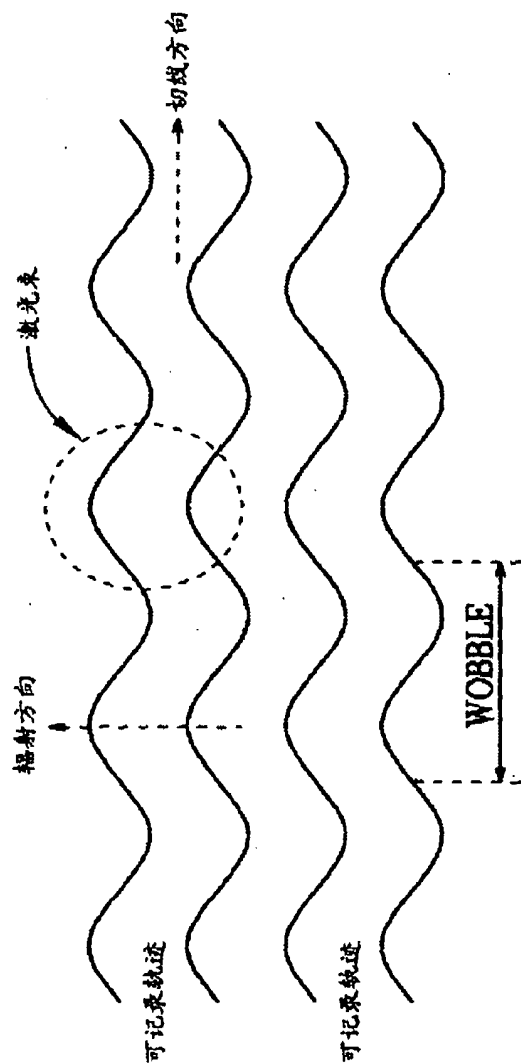


图 2

03107929.6

说明书附图 第3/10页

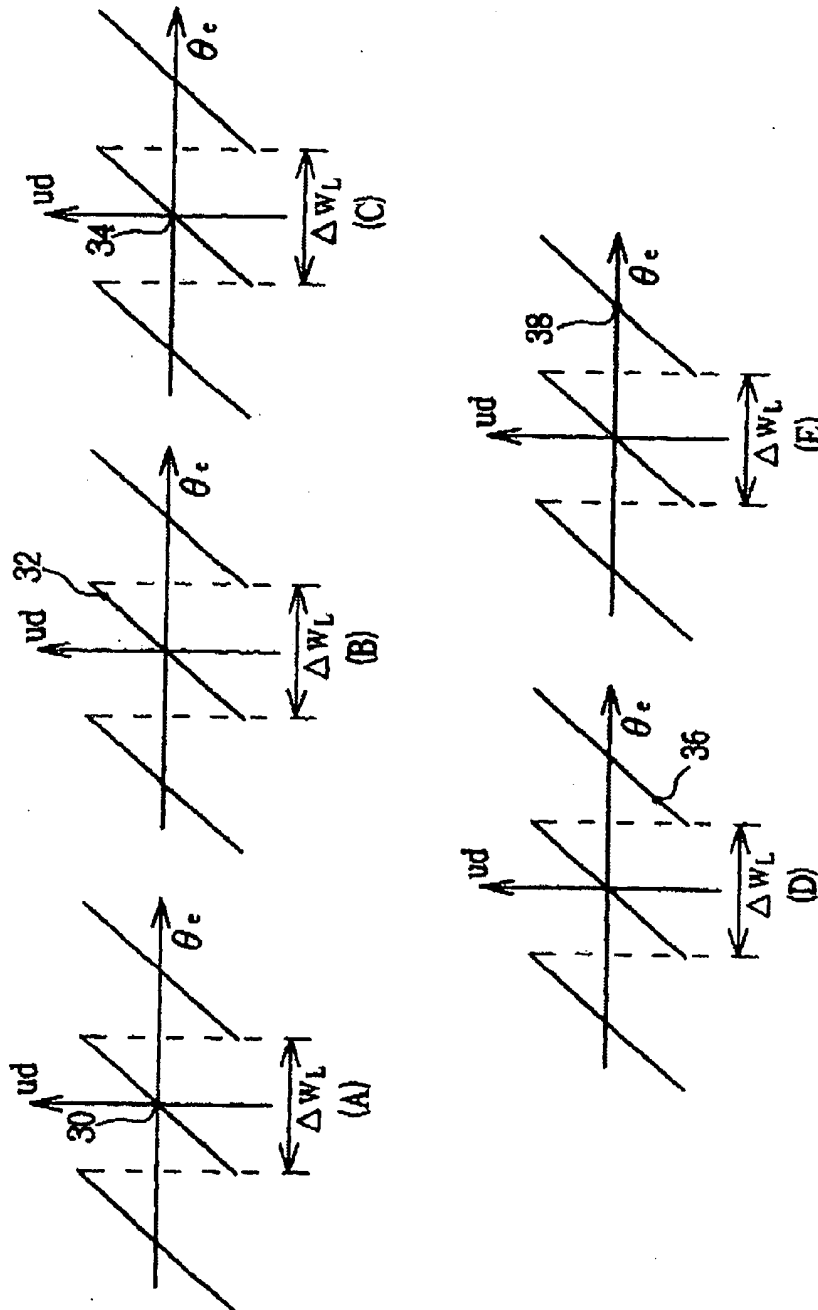


图 3

03107929.6

说明书附图 第4/10页

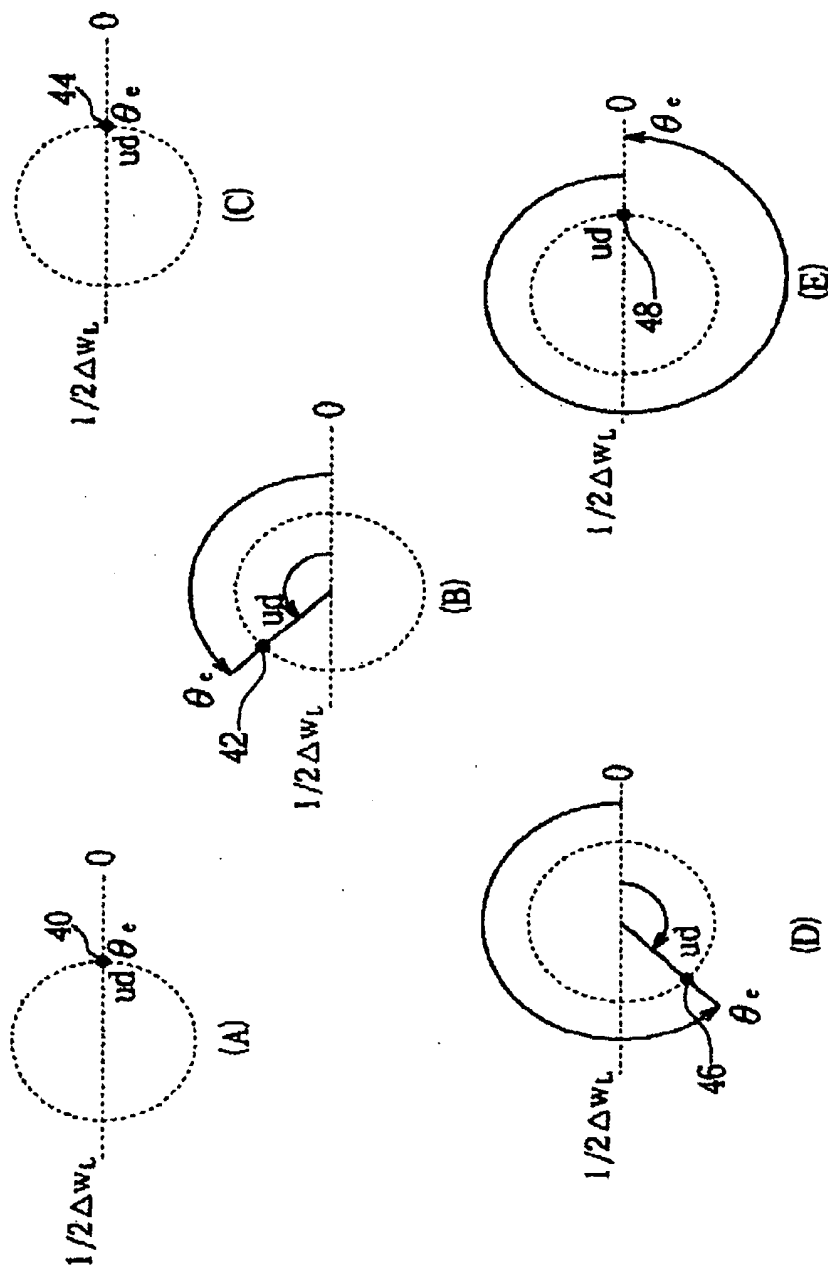


图 4

03107929.6

说明书附图 第5/10页

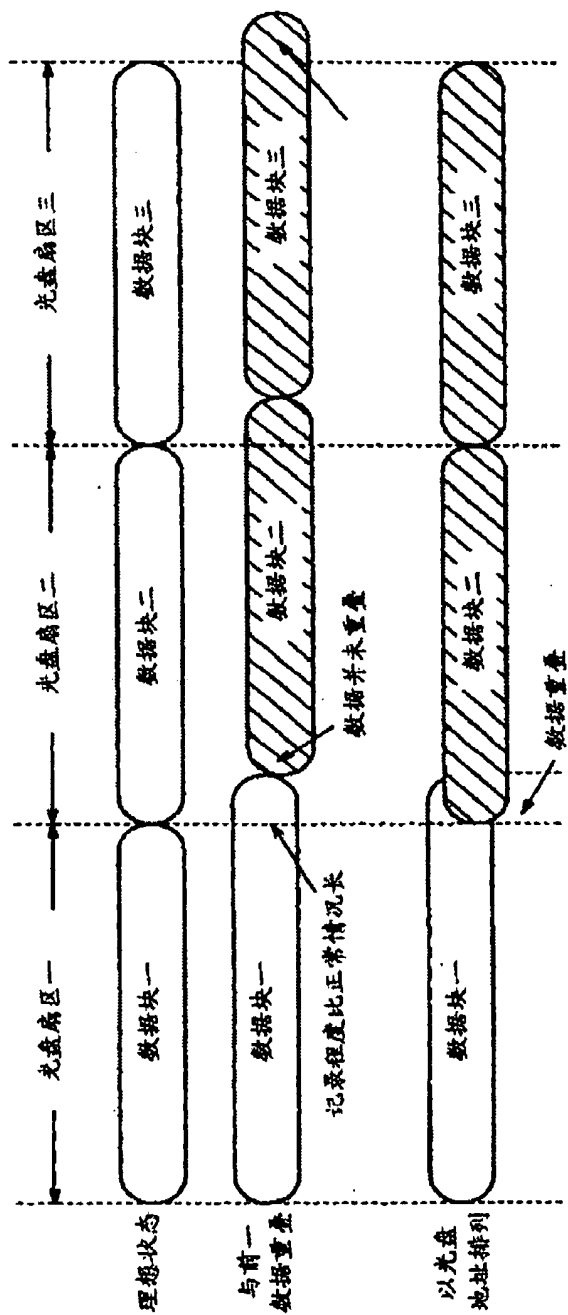


图 5

03107929.6

说明书附图 第6/10页

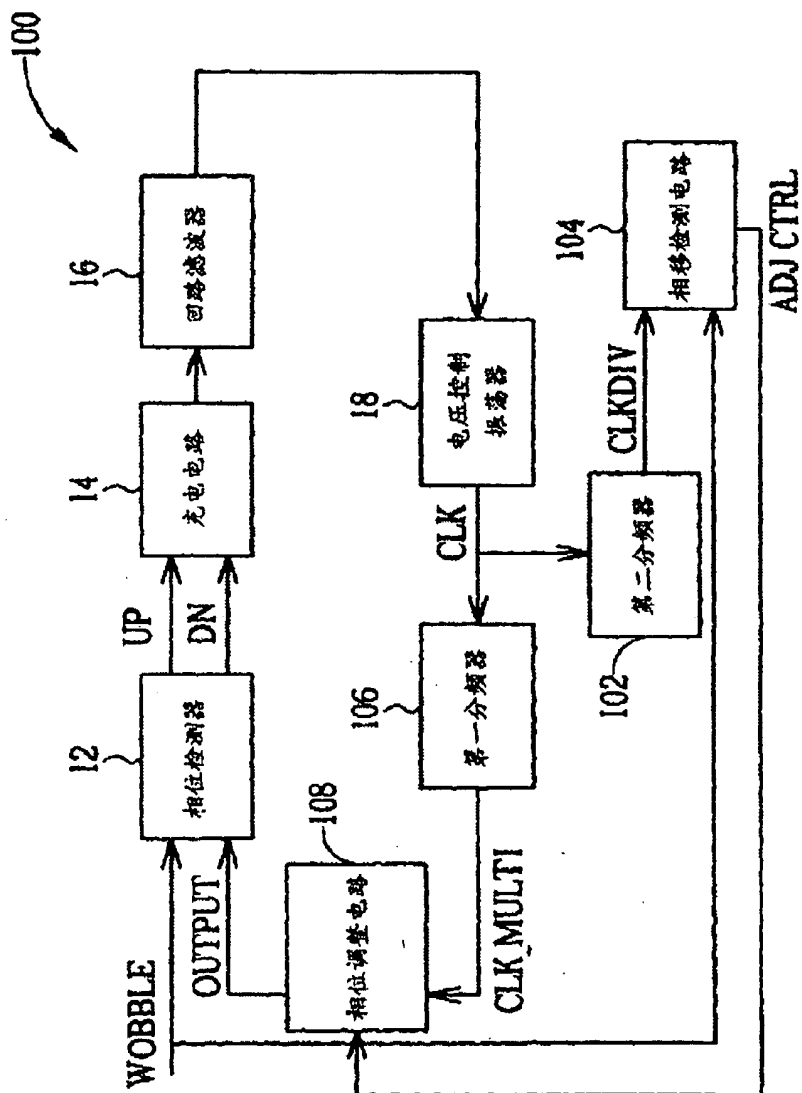


图 6

03107929.6

说明书附图 第7/10页

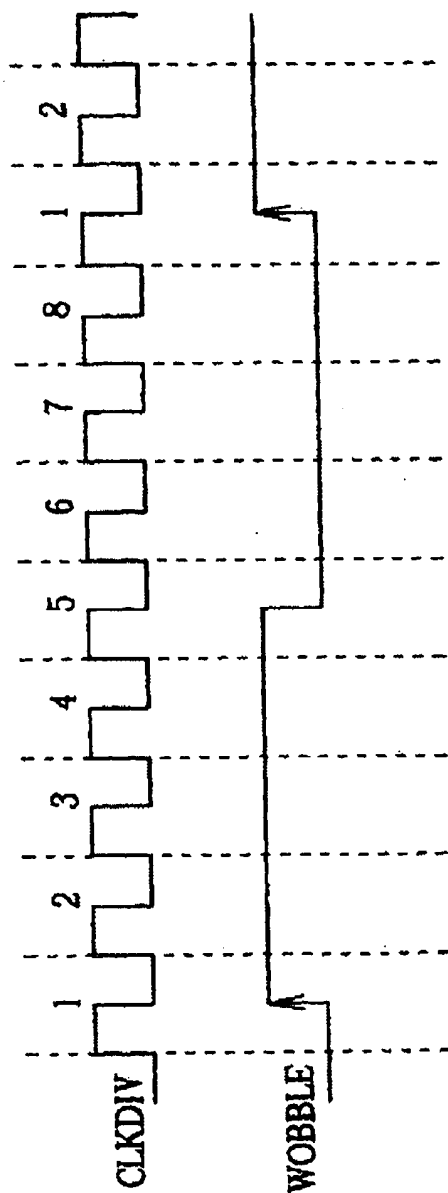


图 7

03107929.6

说明书附图 第8/10页

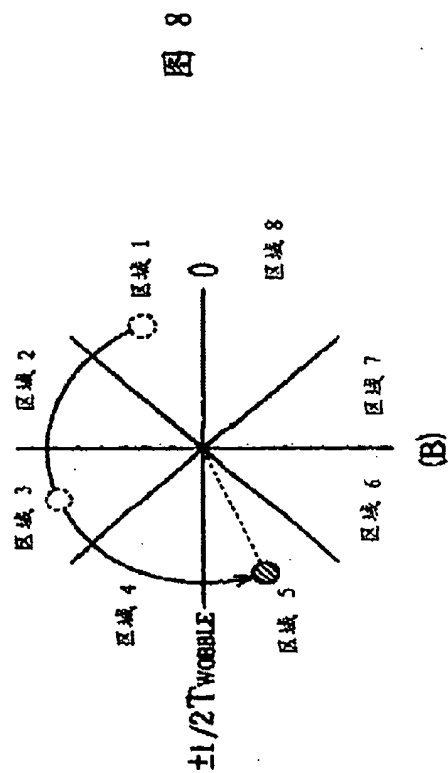
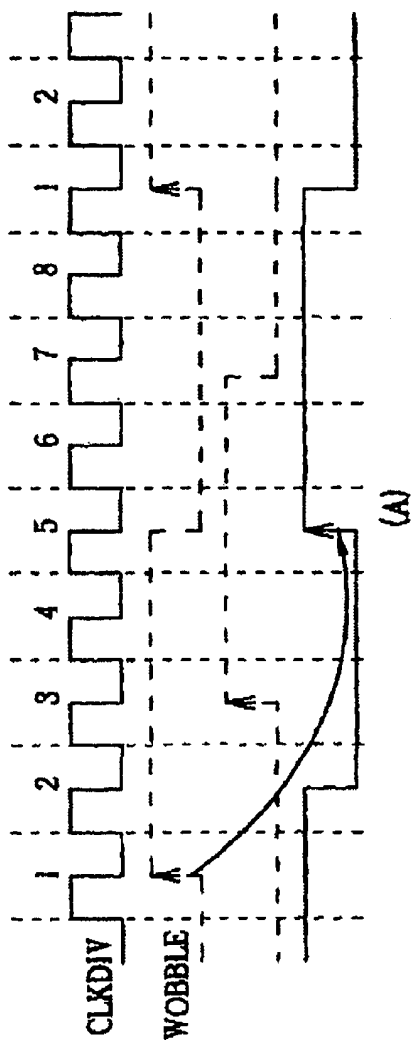


图 8

03107929.6

说明书附图 第9/10页

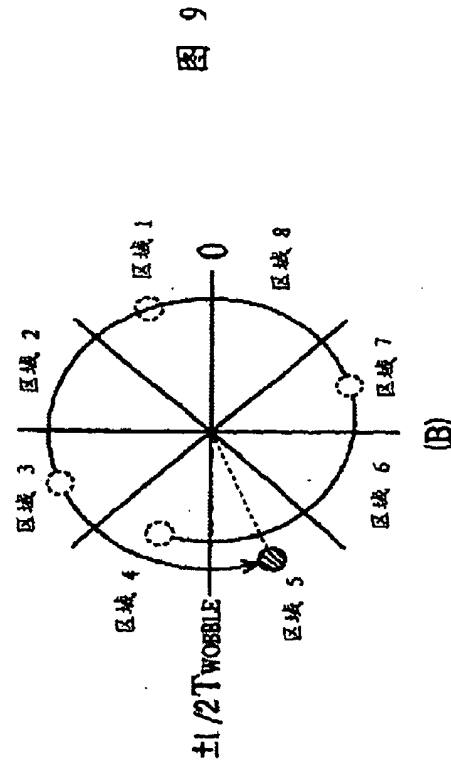
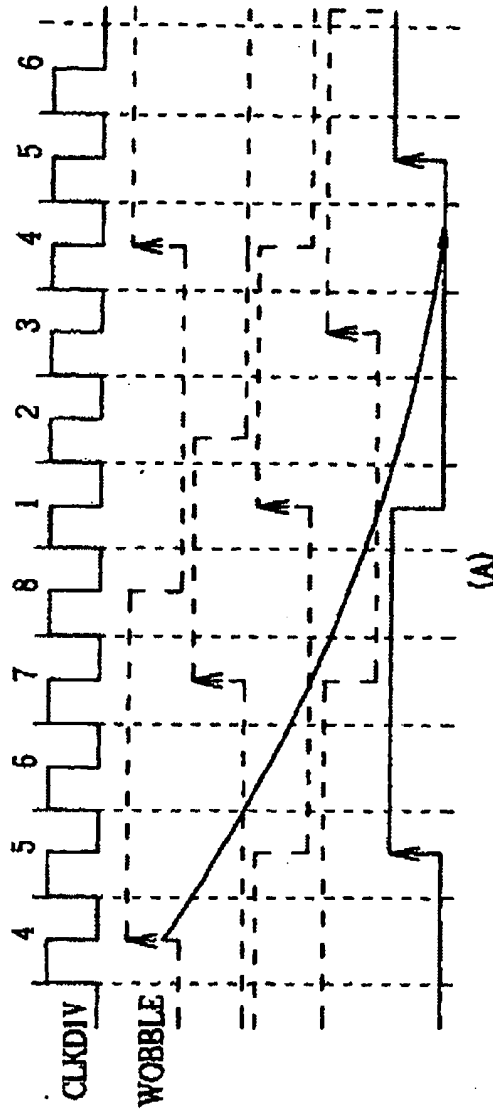
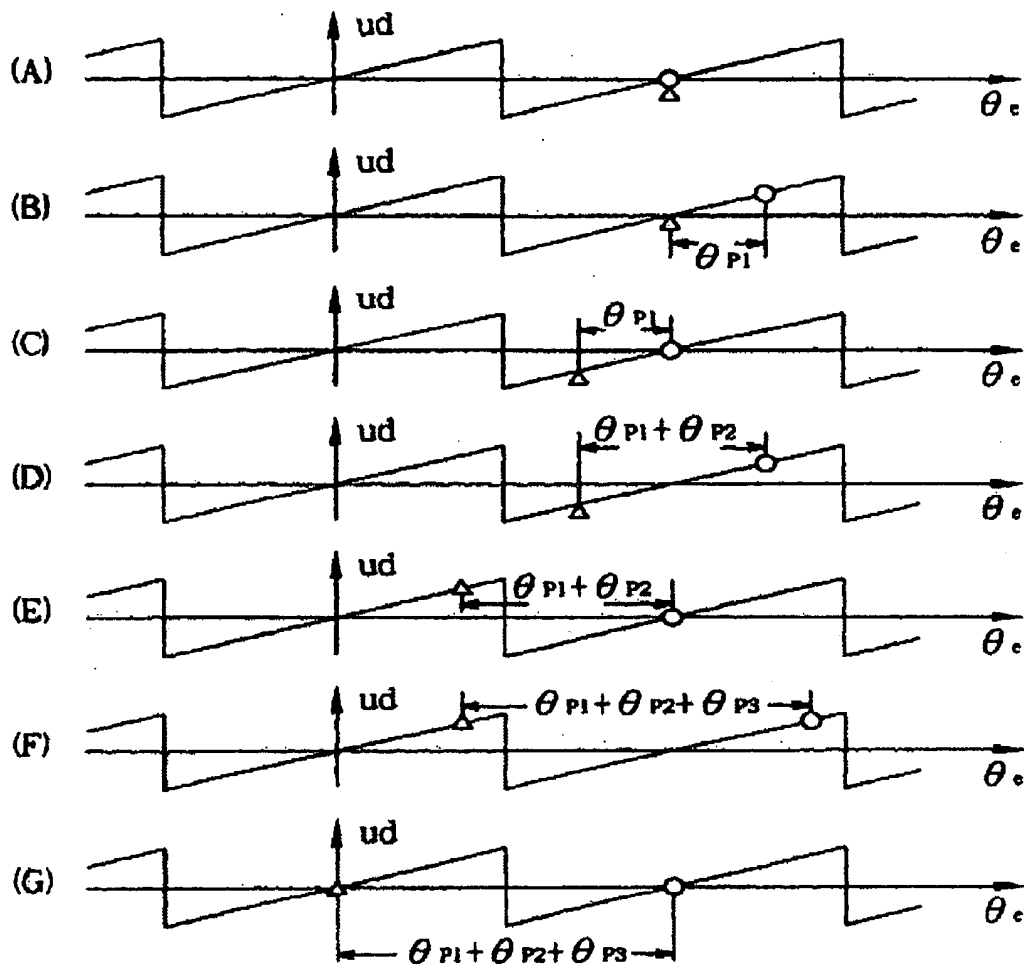


图 9

03107929.6

说明书附图 第10/10页



○ - 输出信号的相位

△ - 时钟信号的相位

图 10